

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-140103

(P2002-140103A)

(43) 公開日 平成14年5月17日 (2002.5.17)

(51) Int.Cl.	識別記号	F I	ターム* (参考)
G 0 5 B 15/02		G 0 5 B 15/02	A 5 H 2 1 5
H 0 4 L 12/40		H 0 4 L 11/00	3 2 1 5 K 0 3 2

審査請求 未請求 請求項の数 2 O L (全 5 頁)

(21) 出願番号 特願2000-336621 (P2000-336621)

(22) 出願日 平成12年11月2日 (2000.11.2)

(71) 出願人 000006622

株式会社安川電機

福岡県北九州市八幡西区黒崎城石2番1号

(72) 発明者 小川 邦彦

福岡県北九州市八幡西区黒崎城石2番1号

株式会社安川電機内

(74) 代理人 100082164

弁理士 小堀 益 (外1名)

Fターム(参考) 5H215 AA06 BB01 BB11 CC09 CX05

CX08 DD04 EE04 GG02 GG11

HH08 KK04

5K032 AA04 BA03 DA13 DA14 DA16

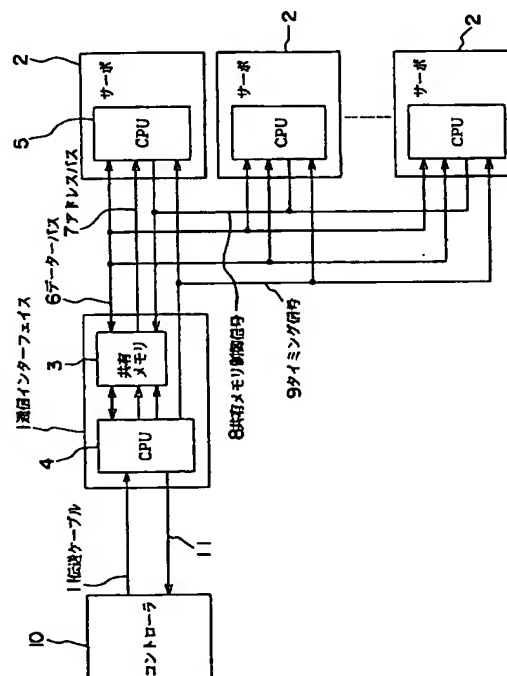
DB18 DB19

(54) 【発明の名称】 サーボ制御装置及びその制御方法

(57) 【要約】

【課題】 1台の通信インターフェイスで複数台のサーボの同期動作を可能とする通信制御装置及びその制御方法を提供する。

【解決手段】 コントローラ10と、このコントローラ10に伝送路11を介して接続される1台の通信インターフェイス1と、この通信インターフェイス1にバス6、7を介して接続される複数台のサーボ2からなるサーボ制御装置において、通信インターフェイス1と複数台のサーボ2との間においてデータ交換を行う共有メモリ3を設け、この共有メモリ3と通信インターフェイス1間を、アドレスバス7、データバス6、共有メモリ制御信号路8、及びアクセスのタイミングを制御するタイミング信号路9を設け、通信インターフェイス1と各サーボ2間のデータ転送を同期させることによってサーボへの指令の出力やサーボからのフィードバックの入力を同期させる。



【特許請求の範囲】

【請求項 1】 コントローラと、このコントローラに伝送路を介して接続される 1 台の通信インターフェイスと、この通信インターフェイスにバスを介して接続される複数台のサーボからなるサーボ制御装置において、前記通信インターフェイスと前記複数台のサーボとの間においてデータ交換を行う共有メモリを設け、この共有メモリと前記通信インターフェイス間を、アドレスバス、データバス、共有メモリ制御信号路、及びアクセスのタイミングを制御するタイミング信号を送送するタイミング信号路を設けたことを特徴とするサーボ制御装置。

【請求項 2】 コントローラと、このコントローラに伝送路を介して接続される 1 台の通信インターフェイスと、この通信インターフェイスにバスを介して接続される複数台のサーボからなり、前記通信インターフェイスと前記複数台のサーボとの間においてデータ交換を行う共有メモリを設け、この共有メモリと前記通信インターフェイス間を、アドレスバス、データバス、共有メモリ制御信号路、及びアクセスのタイミングを制御するタイミング信号を送送するタイミング信号路を設けたサーボ制御装置の制御方法であって、前記通信インターフェイスは前記各サーボに対して通信周期に同期した同一のタイミング信号を出力し、前記通信インターフェイスは前記タイミング信号に同期したタイミングでサーボに対して制御指令を共有メモリに書き込み、タイミング信号に同期したタイミングでサーボからのフィードバックを共有メモリから読み込み、前記サーボはタイミング信号に同期したタイミングでフィードバックを共有メモリに書き込み、タイミング信号に同期したタイミングで共有メモリの制御指令を読み込み、制御指令に応じて制御を実行することを特徴とするサーボ制御装置の制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、通信ネットワークに接続され通信によって制御されるサーボ制御装置及びその制御方法に関する。

【0002】

【従来の技術】 例えば、多軸ロボットの制御においては、各軸の協調動作を行うために、通信によって複数台のサーボの制御を行っている。図 5 に、従来のサーボ制御装置の構成例を示す。図において、1 は通信インターフェイス、2 はサーボ、3 は共有メモリ、4、5 は CPU、6 はデータバス、7 はアドレスバス、8 は共有メモリ制御信号、10 はコントローラ、11 は伝送ケーブルである。図 5 に示されるように、従来においては、複数台のサーボを制御する装置は、通信インターフェイス 1 とサーボ 2 は 1 対 1 の接続であった。したがって、複数台のサーボ 2 を通信によって制御する場合にはサーボの

台数分の通信インターフェイス 1 と、コントローラ 10 と通信インターフェイス 1 間を接続する通信ケーブル 11 が通信インターフェイス 1 の台数分必要であり、多くの構成部品が必要であった。また、複数台のサーボ 2 によるテーブルの位置決めなどの場合には、複数のサーボ 2 の動作を同期させる必要があり、サーボ 2 への指令の払出しやサーボ 2 からのフィードバック入力のタイミングを同期させる手段が必要であった。一方、特開平 10-326107 号公報には、パソコンの拡張バスにマイコン、デュアルポートメモリ、高速シリアル通信インターフェイスを接続し、高速シリアルインターフェイスと複数のサーボコントローラ間をシリアルラインのマルチドロップ方式で接続するサーボ制御方法が開示されている。しかしながら、この制御方法も、各サーボコントローラ毎に高速シリアルインターフェイスを設けており、多くの構成部品を必要としていた。

【0003】

【発明が解決しようとする課題】 そこで本発明が解決しようとする課題は、1 台の通信インターフェイスで複数台のサーボの同期動作を可能とする通信制御装置及びその制御方法を提供することにある。

【0004】

【課題を解決するための手段】 前記の課題を解決するため、本発明のサーボ制御装置は、コントローラと、このコントローラに伝送路を介して接続される 1 台の通信インターフェイスと、この通信インターフェイスにバスを介して接続される複数台のサーボからなるサーボ制御装置において、前記通信インターフェイスと前記複数台のサーボとの間においてデータ交換を行う共有メモリを設け、この共有メモリと前記通信インターフェイス間を、アドレスバス、データバス、共有メモリ制御信号路、及びアクセスのタイミングを同期制御するタイミング信号を送送するタイミング信号路を設けたものである。また、本発明のサーボ制御装置の制御方法においては、前記通信インターフェイスは前記各サーボに対して通信周期に同期した同一のタイミング信号を出力し、前記通信インターフェイスは前記タイミング信号に同期したタイミングでサーボに対して制御指令を共有メモリに書き込み、タイミング信号に同期したタイミングでサーボからのフィードバックを共有メモリから読み込み、前記サーボはタイミング信号に同期したタイミングでフィードバックを共有メモリに書き込み、タイミング信号に同期したタイミングで共有メモリの制御指令を読み込み、制御指令に応じて制御を実行するものである。本発明では、1 台の通信インターフェイスと複数台のサーボを接続する手段を設け、構成部品を減らすとともに、通信インターフェイスと各サーボ間のデータ転送を同期させる手段を設けることによってサーボへの指令の出力やサーボからのフィードバックの入力を同期させる。

【0005】

【発明の実施の形態】以下、本発明の実施の形態について説明する。図 1 は本発明の第 1 実施例のサーボ制御装置の構成を示すブロック図、図 4 は通信インターフェイス 1 とサーボ 2 との共有メモリ 3 を介したデータ転送のタイミングを示す。図 1 において、複数のサーボ 2 に対して通信インターフェイス 1 は 1 台接続され、コントローラ 10 と通信インターフェイス 1 は 1 対 1 で接続される。通信インターフェイス 1 とサーボ 2 間のデータ転送用の共有メモリ 3 は、通信インターフェイス 1 上に設けられている。通信インターフェイス 1 とサーボ 2 との間はアドレスバス 7 とデータバス 6 と制御信号 8 とタイミング信号 9 で接続され、通信インターフェイス 1 とサーボ 2 とのデータ転送は通信インターフェイス 1 上の処理を行う CPU 4 とサーボ 2 上の処理を行う CPU 5 の間で共有メモリ 3 を介して行われる。通信インターフェイス 1 上に 1 つ設けられる共有メモリ 3 のメモリマップを図 3 (1) に示す。このように、本実施例では、メモリマップを、通信インターフェイス 1 に接続されるサーボの台数分に分割して各サーボ用の領域を設け、各サーボ 2 は共有メモリ 3 に割り当てられた領域にアクセスする。この場合、共有メモリ 3 は 1 つで済むが、サーボ 2 は分割された共有メモリ 3 の自分の領域にアクセスするため、各サーボ 2 の CPU 5 の処理を変える必要がある。

【0006】図 2 は本発明の第 2 実施例を示すもので、共有メモリ 3 がサーボ 2 上にある場合を示す。図 2 の実施例の場合、図 3 (2) に示すように通信インターフェイス 1 の CPU 4 からの共有メモリ 3 へのアクセスは図 1 と同様各サーボ 2 毎に分割された領域であるが、サーボ 2 の CPU 4 からの共有メモリ 3 へのアクセスの領域はそれぞれ同じである。この場合、共有メモリ 3 が各サーボ 2 上に 1 つ必要であるが、各サーボ 2 の CPU 5 の処理は変える必要がない。このように、通信インターフェイス 1 とサーボ 2 間で共有メモリ 3 の領域を分割する、あるいは各サーボ 2 毎に共有メモリ 3 を設けて、1 台の通信インターフェイス 1 と複数台のサーボ 2 間のデータ転送を可能とすることで 1 台の通信インターフェイス 1 と複数台のサーボ 2 の接続を可能とし、コントローラ 10 に対して接続する通信インターフェイス 1 は 1 台で済み、伝送ケーブル 11 などの構成部品は 1 台分で済む。また、図 4 に示すように通信インターフェイス 1 は各サーボ 2 に対して通信周期に同期した同一のタイミング信号 9 を出力する。図 4 に示すように通信インターフェイス 1 はタイミング信号 9 に同期した①のタイミングでサーボ 2 に対して制御指令を共有メモリ 3 に書き込み、タイミング信号 9 に同期した②のタイミングでサーボ 2

からのフィードバックを共有メモリ 3 から読み込む。サーボ 2 はタイミング信号 9 に同期したタイミング③でフィードバックを共有メモリ 3 に書き込み、タイミング信号 9 に同期したタイミング④で共有メモリ 3 の制御指令を読み込み、制御指令に応じて制御を実行する。そのため、各サーボ 2 の制御実行はタイミング信号 9 に同期して同時に実行される。このように、複数台のサーボ 2 に対して通信周期に同期した同一のタイミング信号 9 を出力し、通信インターフェイス 1 とサーボ 2 の共有メモリ 3 へのアクセスをタイミング信号に同期させることで通信インターフェイス 1 とサーボ 2 の共有メモリ 3 へのアクセスを同期させることができる。そして共有メモリ 3 への書き込みと読み出しのタイミングを通信インターフェイス 1 とサーボ 2 でずらすことによって共有メモリ 3 へのアクセスの競合を無くし共有メモリ 3 のデータが破壊されることも防ぐ。さらに、サーボ 2 の制御実行をタイミング信号 9 に同期させることによって複数のサーボの制御実行を同期させることができる。

【0007】

【発明の効果】上述したように、本発明では、1 台の通信インターフェイスと複数台のサーボを接続する手段を設けることによって、構成部品を減らすとともに、通信インターフェイスと各サーボ間のデータ転送を同期させる手段を設けることによってサーボへの指令の出力やサーボからのフィードバックの入力を同期させ、サーボの制御動作を同期させることができる。

【図面の簡単な説明】

【図 1】 本発明によるサーボ装置の第 1 実施例を示すブロック図である。

【図 2】 本発明によるサーボ装置の第 2 実施例を示すブロック図である。

【図 3】 共有メモリマップの説明図である。

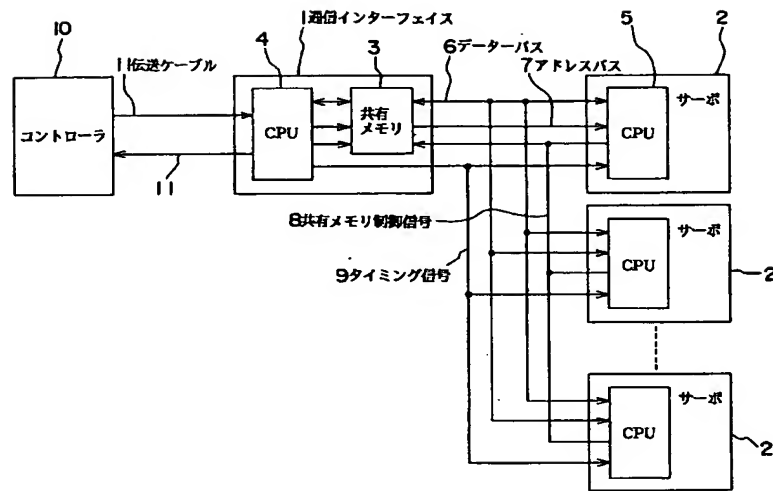
【図 4】 共有メモリアクセスタイミング図である。

【図 5】 従来のサーボ装置の構成例を示すブロック図である。

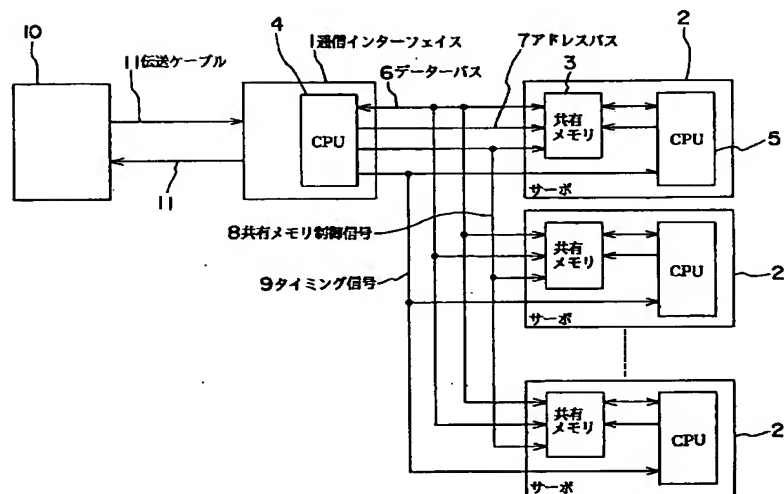
【符号の説明】

- 1 通信インターフェイス
- 2 サーボ
- 3 共有メモリ
- 4, 5 CPU
- 6 データバス
- 7 アドレスバス
- 8 共有メモリ制御信号
- 9 タイミング信号
- 10 コントローラ
- 11 伝送ケーブル

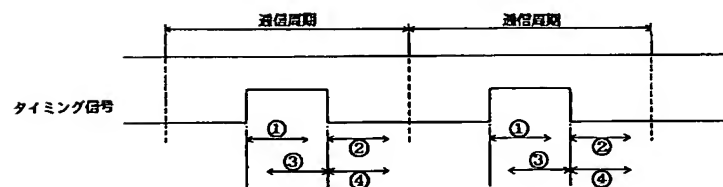
【図1】



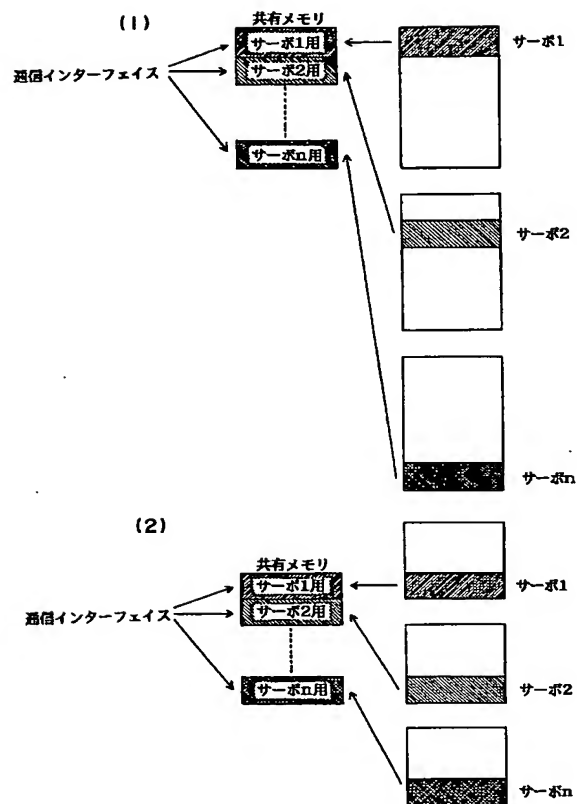
【図2】



【図4】



【図3】



【図5】

